

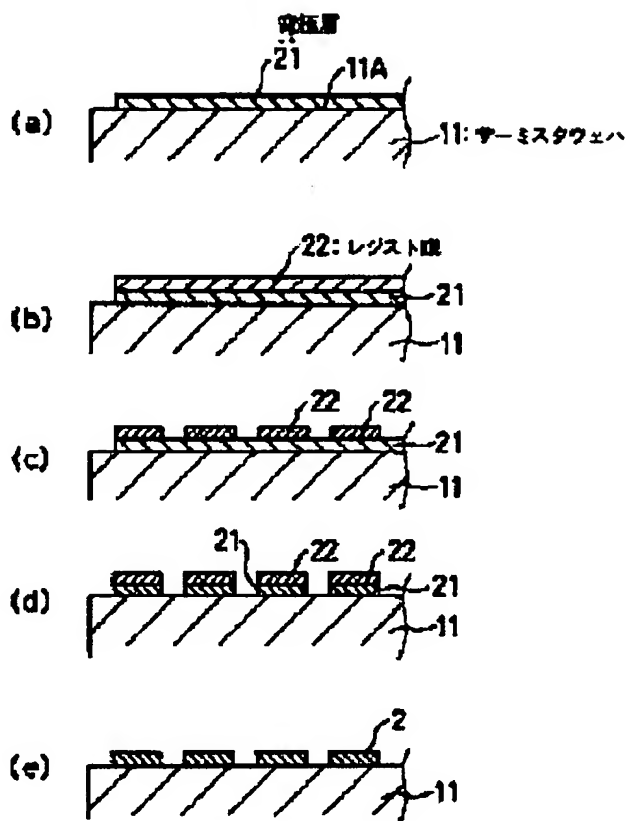
CHIP TYPE THERMISTOR AND MANUFACTURING METHOD THEREOF

Patent number: JP9260108
Publication date: 1997-10-03
Inventor: HIGUCHI YOSHIHIRO; YAMAGUCHI KUNIO;
YOTSUMOTO KOJI
Applicant: MITSUBISHI MATERIALS CORP
Classification:
- International: H01C7/04; H01C17/24; H01C7/04; H01C17/22; (IPC1-7): H01C7/04; H01C17/24
- european:
Application number: JP19960072313 19960327
Priority number(s): JP19960072313 19960327

Report a data error here

Abstract of JP9260108

PROBLEM TO BE SOLVED: To raise the accuracy of the dimension and shape of a surface electrode pattern and the fineness thereof by forming the surface electrodes by the photoetching. **SOLUTION:** An electrode paste is printed on the surface 11a of a thermistor wafer 11, dried and baked to form an electrode layer 21 of 1 μ m thick or less. The electrode material uses Au, Pt, Ag etc. A photoresist is coated on this layer 21 and heat-treated to form a resist film 22 which is then exposed in specified electrode pattern and developed to remove unexposed part of the resist film. Then it is etched to dissolve part of the electrode layer 21 not covered with the resist film 22 and the resist film is removed to form surface electrodes 2 in desired pattern. Thus it is possible to reduce or finely adjust the resistance value of a chip type thermistor and stably obtain thermistors with little dispersion of the resistance value.



Data supplied from the esp@cenet database - Worldwide

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 C 7/04 17/24			H 0 1 C 7/04 17/24	C

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平8-72313

(22) 出願日 平成8年(1996)3月27日

(71) 出願人 000006264

三菱マテリアル株式会社

東京都千代田区大手町1丁目5番1号

(72) 発明者 樋口 由浩

埼玉県秩父郡横瀬町大字横瀬2270番地 三

菱マテリアル株式会社電子技術研究所内

(72) 発明者 山口 邦生

埼玉県秩父郡横瀬町大字横瀬2270番地 三

菱マテリアル株式会社電子技術研究所内

(72) 発明者 四元 孝二

埼玉県秩父郡横瀬町大字横瀬2270番地 三

菱マテリアル株式会社電子技術研究所内

(74) 代理人 弁理士 重野 剛

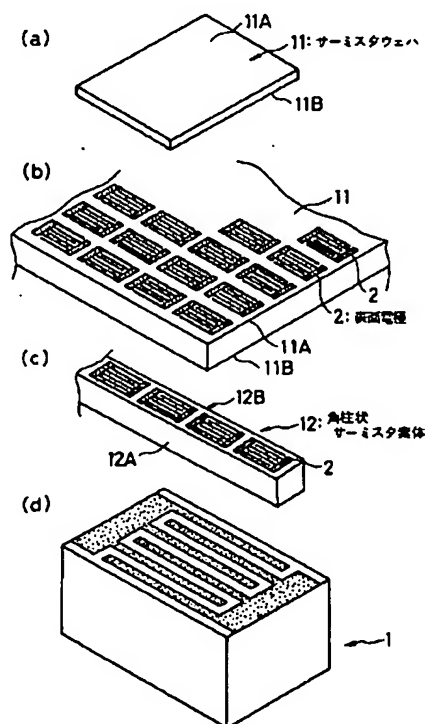
(54) 【発明の名称】 チップ型サーミスタ及びその製造方法

(57) 【要約】

【課題】 チップ型サーミスタの表面電極パターンの寸法及び形状の高精度化及び微細化を図る。

【解決手段】 チップ状サーミスタ素体1と、両端面に形成された端子電極と、端子電極を被覆するめっき層と、素体の少なくとも対向する2側面にフォトエッチングにより形成された抵抗値調整用の表面電極と、その4側面を被覆する絶縁層とを有するチップ型サーミスタ。サーミスタウエハ11にフォトエッチングにより表面電極2を形成した後短冊状に切断し、次いで、4側面を絶縁被覆した後チップ状に切断して両端面に端子電極及びめっき層を形成する。

【効果】 フォトエッチングによれば、電極パターンの微細化が可能であり、抵抗値の低減、微調整、ばらつき防止が可能となる。



【特許請求の範囲】

【請求項1】 セラミックス焼結体よりなる直方体形状のチップ状サーミスタ素体と、該チップ状サーミスタ素体の両端面に形成された端子電極と、該端子電極を被覆するめっき層と、該両端面以外の4側面のうちの少なくとも対向する2側面に形成された抵抗値調整用の表面電極と、該表面電極を含むサーミスタ素体の4側面を被覆する絶縁層とを有するチップ型サーミスタにおいて、前記表面電極がフォトリソグラフィにより形成された表面電極であることを特徴とするチップ型サーミスタ。

【請求項2】 請求項1のチップ型サーミスタにおいて、表面電極が、対向平行電極であり、電極間距離が10～100μmであることを特徴とするチップ型サーミスタ。

【請求項3】 請求項1のチップ型サーミスタにおいて、表面電極が楕円電極であり、その線幅及び線間が10～100μmであることを特徴とするチップ型サーミスタ。

【請求項4】 セラミックス焼結体よりなる直方体形状のチップ状サーミスタ素体と、該チップ状サーミスタ素体の両端面に形成された端子電極と、該端子電極を被覆するめっき層と、該両端面以外の4側面のうちの少なくとも対向する2側面に形成された抵抗値調整用の表面電極と、該表面電極を含むサーミスタ素体の4側面を被覆する絶縁層とを有するチップ型サーミスタを製造する方法であって、

セラミックス焼結体よりなる薄板状サーミスタ素体の両板面に表面電極を形成する工程、表面電極を形成した薄板状サーミスタ素体を短冊状に切断して角柱状サーミスタ素体を製造する工程、この角柱状サーミスタ素体の長手方向に延在する側面に絶縁層を形成する工程、絶縁層を形成した角柱状サーミスタ素体を長手方向と直交する方向に切断してチップ状サーミスタ素体を製造する工程、及びこのチップ状サーミスタ素体の絶縁層未被覆の両端面に端子電極を形成する工程を有するチップ型サーミスタの製造方法において、前記表面電極形成工程は、前記薄板状サーミスタ素体の両板面に導電層を形成した後、該導電層上にフォトリソグラフィを塗布してレジスト膜を形成し、次いで、パターン露光後現像して、電極非形成部の導電層を表出させた後、表出した導電層をエッチングにより除去し、その後、残存するレジスト膜を除去する工程よりなることを特徴とするチップ型サーミスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、水晶発振器、液晶等の温度補償回路に用いられるチップ型サーミスタ及びその製造方法に係り、特に、温度の上昇により抵抗値が減少する負特性サーミスタであって、微細な表面電極パターンにより抵抗値の低減及び微調整が可能なチップ型

サーミスタ及びその製造方法に関する。

【0002】

【従来の技術】従来、水晶発振器、液晶等の温度補償回路に用いられるチップ型サーミスタとしては、次のようにして製造されたものがある。

【0003】① セラミックス原料を成形、焼成して得られたサーミスタブロックをスライス加工して薄板状サーミスタ素体を得、この薄板状サーミスタ素体にスクリーン印刷法により表面電極を形成した後、チップ形状に加工する。

【0004】② サーミスタグリーンシートに印刷法により内部電極用の導電層を形成した後積層し、積層体を焼成した後チップ形状に加工する。

【0005】③ 絶縁体基板上に電極を形成し、その上に厚膜法によりサーミスタペーストを印刷して焼成する。

【0006】

【発明が解決しようとする課題】上記従来のチップ型サーミスタの製造方法のうち、②、③の方法では、複数枚のグリーンシートを積層したり、厚膜法によりサーミスタペーストを繰り返し印刷するため、グリーンシート又は厚膜の厚さの制御や材料の安定性の面で問題があり、寸法や材質のばらつきを生じ易く、特性の向上を図ることが困難である。

【0007】上記①の方法では、このような厚さの制御や材料の安定性の問題はないが、次のような不具合がある。即ち、抵抗値の低減や微調整に有効な微細な表面電極パターンを形成するには、スクリーン印刷法では、精度上限界があり、特に小型のチップ型サーミスタを製造する場合には、所望の表面電極パターンを精度良く形成することが困難である。このため、得られるチップ型サーミスタの抵抗値のばらつきが大きい、抵抗値の微調整が困難であるなどの問題もあった。

【0008】本発明は上記従来の表面電極形成法における問題点を解決し、表面電極パターンの寸法及び形状の高精度化及び微細化が可能であり、これにより抵抗値の大幅な低減、抵抗値の微調整を可能とすると共に、抵抗値のばらつきが小さいチップ型サーミスタを安定に得ることができるチップ型サーミスタ及びその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明のチップ型サーミスタは、セラミックス焼結体よりなる直方体形状のチップ状サーミスタ素体と、該チップ状サーミスタ素体の両端面に形成された端子電極と、該端子電極を被覆するめっき層と、該両端面以外の4側面のうちの少なくとも対向する2側面に形成された抵抗値調整用の表面電極と、該表面電極を含むサーミスタ素体の4側面を被覆する絶縁層とを有するチップ型サーミスタにおいて、前記表面電極がフォトリソグラフィにより形成された表面電極であ

ることを特徴とする。

【0010】本発明のチップ型サーミスタの製造方法は、セラミックス焼結体よりなる直方体形状のチップ状サーミスタ素体と、該チップ状サーミスタ素体の両端面に形成された端子電極と、該端子電極を被覆するめっき層と、該両端面以外の4側面のうちの少なくとも対向する2側面に形成された抵抗値調整用の表面電極と、該表面電極を含むサーミスタ素体の4側面を被覆する絶縁層とを有するチップ型サーミスタを製造する方法であって、セラミックス焼結体よりなる薄板状サーミスタ素体の両板面に表面電極を形成する工程、表面電極を形成した薄板状サーミスタ素体を短冊状に切断して角柱状サーミスタ素体を製造する工程、この角柱状サーミスタ素体の長手方向に延在する側面に絶縁層を形成する工程、絶縁層を形成した角柱状サーミスタ素体を長手方向と直交する方向に切断してチップ状サーミスタ素体を製造する工程、及びこのチップ状サーミスタ素体の絶縁層未被覆の両端面に端子電極を形成する工程を有するチップ型サーミスタの製造方法において、前記表面電極形成工程は、前記薄板状サーミスタ素体の両板面に導電層を形成した後、該導電層上にフォトリソを塗布してレジスト膜を形成し、次いで、パターン露光後現像して、電極非形成部の導電層を表出させた後、表出した導電層をエッチングにより除去し、その後、残存するレジスト膜を除去する工程よりなることを特徴とする。

【0011】本発明では、フォトリソにより表面電極を形成するため、電極パターンの微細化が可能であり、従来のスクリーン印刷では得られなかった特性（例えば、低抵抗化）を得ることができる。また、電極パターンの種類によって、抵抗値を所望の値に調整することができ、また、レーザーによるトリミングで、抵抗値の微調整も可能である。更に、スクリーン印刷に比べて表面電極の寸法精度も高いので、小型のチップ型サーミスタであっても、抵抗値分布が小さく特性のばらつきのないチップ型サーミスタを得ることができる。

【0012】本発明において、表面電極としては、電極間距離が10～100μmの対向平行電極、又は、線幅及び線間が10～100μmの櫛形電極が好適である。

【0013】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。

【0014】図3は本発明のチップ型サーミスタの一実施例を示す断面図である。図示の如く、本発明のチップ型サーミスタ10は、セラミックス焼結体よりなる直方体形状のチップ状サーミスタ素体1と、このチップ状サーミスタ素体1の両端面に形成された外部電極3（端子電極3A及びめっき層3B）と、サーミスタ素体1のこの両端面以外の4側面のうちの対向する2側面に形成された抵抗値調整用の表面電極2と、この表面電極2を被覆するように設けられた絶縁層4とを有する。

【0015】以下に、このような本発明のチップ型サーミスタ10を、本発明の方法に従って製造する方法について、図1、2を参照して説明する。

【0016】図1(a)は、薄板状のサーミスタ素体（以下「サーミスタウエハ」と称する。）の斜視図、図1(b)は両板面に表面電極を形成したサーミスタウエハの斜視図、図1(c)は角柱状サーミスタ素体の斜視図、図1(d)は角柱状サーミスタ素体をチップ状に切断した状態を示す斜視図である。図2(a)～(e)はフォトリソによる表面電極形成工程を示す模式的な断面図である。なお、図1(c)、(d)において、絶縁層は図示を省略してある。

【0017】本実施例の方法においては、まず、図1(a)に示すセラミックス焼結体よりなるサーミスタウエハ11の両板面11A、11Bに、図1(b)に示す如く、表面電極2を形成する。そして、表面電極2を形成したサーミスタウエハ11の両板面11A、11Bに絶縁層（図示せず）を形成した後、短冊状に切断して図1(c)に示す角柱状サーミスタ素体12とする。次に、この角柱状サーミスタ素体12の切断面12A、12Bにも、絶縁層（図示せず）を形成し、2側面に表面電極2が形成され、4側面に絶縁層が形成された角柱状サーミスタ素体12とし、これを、その長手方向と直交する方向に切断して、図1(d)に示すチップ状サーミスタ素体1を得る。このチップ状サーミスタ素体1の絶縁層未被覆の両端面に、常法に従って外部電極3を形成して図3に示すようなチップ型サーミスタ10を得る。なお、絶縁層4の厚さは通常の場合、10～30μm程度とするのが好ましい。

【0018】本発明においては、表面電極2の形成をフォトリソにより行う。

【0019】具体的には、まず、図2(a)に示す如く、サーミスタウエハ11の板面11Aに、電極ペーストを印刷し、乾燥後750～850℃で焼成して、厚さ1μm以下の電極層21を形成する。この電極材料としては、Au、Pt、Ag等を用いることができる。

【0020】次いで、この電極層21の上に、図2(b)に示す如く、フォトリソを塗布して90～100℃で熱処理してレジスト膜22を形成する。このレジスト膜22を、所定の電極パターンで露光、現像して未感光部のレジスト膜を除去する（図2(c)）。次いで、エッチング処理して、レジスト膜22に被覆されていない、電極層21を溶解除去し（図2(d)）、更にレジスト膜22を除去して、所望のパターンの表面電極2を形成する（図2(e)）。

【0021】このようにして形成される表面電極の電極形状としては、後掲の図4に示すような櫛形電極又は図5に示すような対向平行電極が挙げられるが、本発明によれば、上記のようなフォトリソで表面電極を形成するため、例えば、櫛形電極であれば、線幅、線間が

10~100 μ m、対向平行電極であれば電極間距離が10~100 μ mという、微細な電極パターンであっても、容易かつ高精度に表面電極を形成することができる。

【0022】また、この表面電極形成に当って、フォトレジストの露光には一般にはフォトマスクを用いたパターンニングが採用されるが、レーザー光を併用することで、より微細なパターンニングを行って、抵抗値の微調整を行うこともできる。

【0023】

【実施例】以下に実施例及び比較例を挙げて本発明をより具体的に説明する。

【0024】実施例1

図1、2に示す本発明の方法に従って、チップ型サーミスタを製造した。

【0025】市販の炭酸マンガ、炭酸コバルト、炭酸銅を出発原料とし、これらを金属原子比が36.7:61.6:1.7の割合になるようにそれぞれ秤量し、ボールミルで16時間均一に混合した後脱水乾燥した。次にこの混合物を大気圧下、900℃で2時間仮焼し、この仮焼物を再びボールミルで粉砕して脱水乾燥した。粉砕物に有機系結合剤等を加え、スプレードライヤーにより粒径が60 μ m程度になるように造粒し、油圧プレスにより直方体に圧縮成形した。この成形物を大気圧下、1100℃で4時間焼成してサーミスタ焼結ブロックを作製した。次に、このブロックをバンドソーで薄板状に切断し、厚さ0.40mmのサーミスタウエハを得た(図1(a))。

【0026】このサーミスタウエハ上にMOD(レジネート)Auペーストを印刷し、100℃で乾燥後、800℃で10分間焼成し、厚さ1 μ m以下のAu電極層を形成し(図2(a))、このAu電極層上にフォトレジストをスピンコーターで塗布し、90℃で30分熱処理(プリベーク)した(図2(b))。このレジストを塗布したウエハにマスクアライナで電極パターンニングされたフォトマスクを密着させ露光し、露光後、現像液に1分浸漬し、次いでリンス液で洗浄して未感光部分のレジストを溶解除去した(図2(c))。その後、150℃で20分熱処理(ポストベーク)した。

【0027】このウエハをI₂:KI:H₂O=1:2:5(重量%)のエッチング液に浸し、レジストに被覆されていないAu電極部分を溶解除去した後(図2(d))、剥離液に浸漬してレジストを除去して(図2(e))、表面電極を形成した(図1(b))。

【0028】このようにして両板面に表面電極を形成したウエハの該両板面にSiO₂、Al₂O₃、MgO、ZrO等からなるガラスのペーストをスクリーン印刷して焼成し、厚さ20 μ mの絶縁層を被覆形成した。

【0029】次に電極パターンに沿ってダイシングマシンにより幅0.45mmの短冊状に切断加工して角柱

状サーミスタ素体とし、この角柱状サーミスタ素体の切断面にも上記と同様にして絶縁層を形成した。

【0030】次に、この角柱状サーミスタ素体をダイシングマシンにより厚さ0.95mmのチップ状に切断し(図1(d))、図4(a)(斜視図)及び図4(b)(平面図)(ただし、図4(a)、(b)において、絶縁層は図示されていない。)に示すようなチップ状サーミスタ素体30を得、このチップ状サーミスタ素体の両端面に、市販のAg電極ペーストをディッピング法により塗布し、大気圧下、820℃で焼き付け、厚さ30 μ mのAg端子電極を形成し、次いで電解バレル法でこのAg電極表面に厚さ2~5 μ mのNiめっき層を形成し、更にその上に厚さ3~7 μ mのはんだめっき層を形成し、図3に示すようなチップ型サーミスタを製造した。

【0031】なお、このチップ型サーミスタの表面電極31の櫛形のパターンの線幅W₁及び線間W₂は共に20 μ mである。

【0032】得られたチップ型サーミスタについて、抵抗値を測定し、その結果及び抵抗値分布を表1に示した。また、後掲の比較例2で製造した表面電極のないチップ型サーミスタの抵抗値を100%とし、この抵抗値に対する割合を抵抗値低減率として算出し、結果を表1に併記した。

【0033】実施例2

実施例1において、表面電極のパターンニングを変え、図5(a)(斜視図)、(b)(平面図)(ただし、図5(a)、(b)において、絶縁層は図示されていない。)に示すような対向平行電極(電極間距離d=20 μ m)41が形成されたチップ状サーミスタ素体40を製造したこと以外は同様に行ってチップ型サーミスタを製造し、同様に抵抗値、抵抗値低減率及び抵抗値分布を求め、結果を表1に示した。

【0034】比較例1

表面電極をスクリーン印刷により形成したこと以外は、実施例2と同様に行って、図6(a)(斜視図)、(b)(平面図)(ただし、図6(a)、(b)において、絶縁層は図示されていない。)チップ型サーミスタ50を製造した。ただし、このチップ型サーミスタ50の表面電極51の対向平行電極は、スクリーン印刷により形成したため、電極間距離d'は150 μ mとなった。

【0035】このチップ型サーミスタについて、実施例1と同様に抵抗値、抵抗値低減率及び抵抗値分布を求め、結果を表1に示した。

【0036】比較例2

表面電極を形成しなかったこと以外は、実施例1と同様にしてチップ型サーミスタを製造し、同様に抵抗値、抵抗値低減率及び抵抗値分布を求め、結果を表1に示した(ただし、抵抗値低減率は100%)。

【0037】

* * 【表1】

例	実施例		比較例	
	1	2	1	2
抵抗値 (K Ω)	1	3	5	18
抵抗値低減率 (%)	5.5	11	27.8	100
抵抗値分布(3 σ /Ave) (%)	1.0	0.8	2.5	0.5

【0038】表1より明らかなように、本発明のチップ型サーミスタによれば、従来品に比べてサーミスタ特性の範囲が拡大し、表面電極をスクリーン印刷で形成したものでは実現が困難であった低抵抗高B定数のチップ型サーミスタの製造が可能となる。また、抵抗値分布についても、従来に比べて小さくすることができ、特性の高精度化が図れる。

【0039】

【発明の効果】以上詳述した通り、本発明のチップ型サーミスタ及びその製造方法によれば、表面電極パターンの寸法及び形状の高精度化及び微細化が可能となり、これによりチップ型サーミスタの抵抗値の大幅な低減、或いは、抵抗値の微調整が可能となる。また、抵抗値のばらつきが小さい高特性チップ型サーミスタを安定に得ることが可能となる。

【図面の簡単な説明】

【図1】本発明のチップ型サーミスタの製造方法の一実施例を示す斜視図である。

【図2】本発明による表面電極形成方法の一実施例を示す模式的な断面図である。

【図3】本発明のチップ型サーミスタの一実施例を示す断面図である。

※【図4】図4(a)は実施例1で製造したチップ型サーミスタを示すチップ状サーミスタ素体の斜視図、図4(b)は同平面図である。

【図5】図5(a)は実施例2で製造したチップ型サーミスタを示すチップ状サーミスタ素体の斜視図、図5(b)は同平面図である。

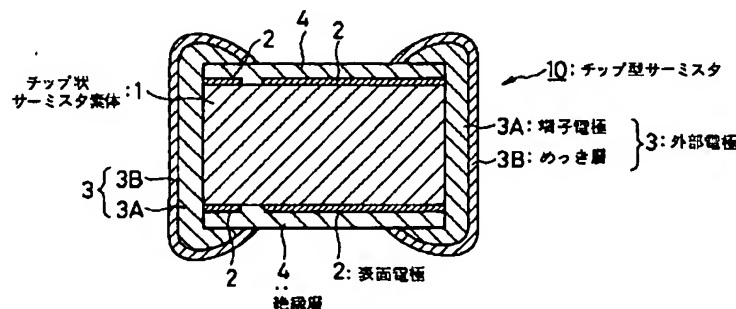
【図6】図6(a)は比較例1で製造したチップ型サーミスタを示すチップ状サーミスタ素体の斜視図、図6(b)は同平面図である。

【符号の説明】

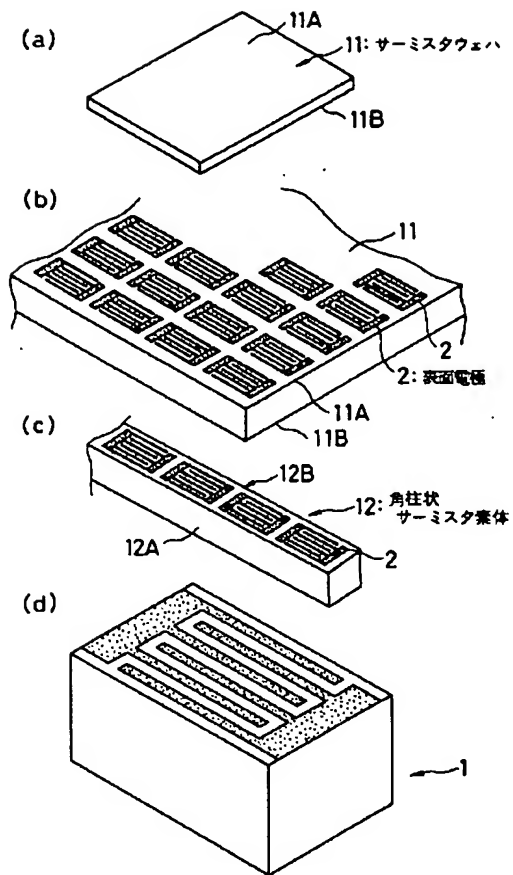
- 20 1 チップ状サーミスタ素体
2 表面電極
3 外部電極
3A 端子電極
3B めっき層
4 絶縁層
10 チップ型サーミスタ
11 サーミスタウエハ
12 角柱状サーミスタ素体
21 電極層
30 22 レジスト膜

※

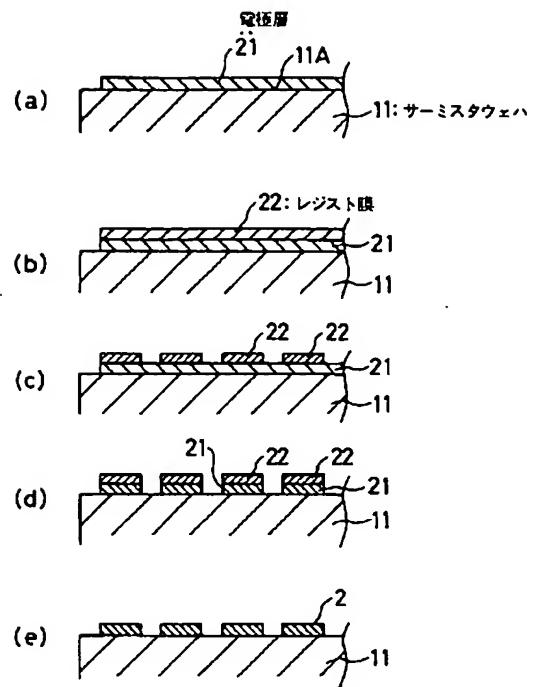
【図3】



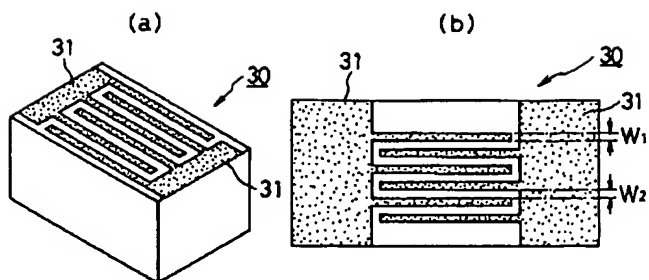
【図1】



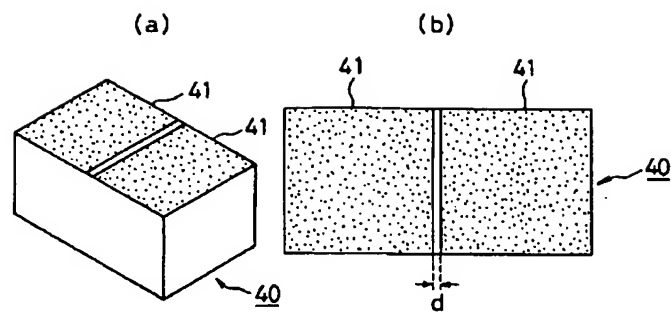
【図2】



【図4】



【図5】



【図6】

